

INCREMENTAL TYPE ENCODER

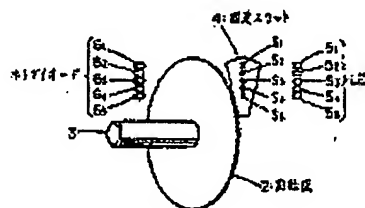
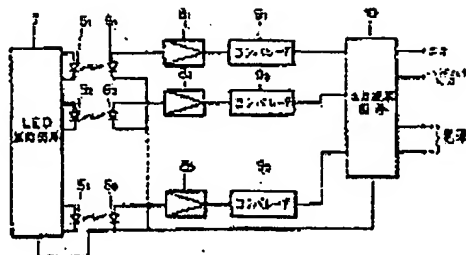
Patent number: JP1182721
 Publication date: 1989-07-20
 Inventor: ABE ARIMASA; NAKAMURA ARATA; AKAGI TETSUYA
 Applicant: OMRON TATEISI ELECTRONICS CO
 Classification:
 - International: G01D5/36
 - european:
 Application number: JP19880006150 19880114
 Priority number(s): JP19880006150 19880114

Report a data error here

Abstract of JP1182721

PURPOSE: To improve noise resistance at the time of high speed and to secure resolution at the time of low speed, by providing a resolution switching means, which decreases the resolution at the time of high speed motion of a pulse signal pattern.

CONSTITUTION: Fixed slits 4 are arranged in a rotary plate 2, which is attached to a rotary shaft 3, at the neighboring positions. Slits S1-S5 corresponding to tracks of the rotary plate 2 are provided as the slits 4. LEDs (light emitting elements) 5 (51-55) and photodiodes (photodetectors) 6 (61-65) are arranged so as to hold the rotary plate 2 and the slits 4 and so as to face each other. The light beams from the elements 5 are received in the photodetectors 6 through the slits S. The signal are amplified 8 (amplifiers 81-85) and converted into pulse signals through comparators (pulse-signal output means) 9 (91-95). One function is selected and outputted by a resolution switching means 10 based on the signals so that the resolution is made low at the time of high speed operation and the resolution is made high at the time of low speed operation.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A)

平1-182721

⑤Int.Cl.⁴
G 01 D 5/36識別記号 庁内整理番号
W-8104-2F

④公開 平成1年(1989)7月20日

審査請求 未請求 請求項の数 1 (全6頁)

⑬発明の名称 インクリメンタル形エンコーダ

⑭特 願 昭63-6150

⑮出 願 昭63(1988)1月14日

⑯発 明 者 安 部 有 正 京都府京都市右京区花園土堂町10番地 立石電機株式会社
内
⑯発 明 者 中 村 新 京都府京都市右京区花園土堂町10番地 立石電機株式会社
内
⑯発 明 者 赤 木 哲 也 京都府京都市右京区花園土堂町10番地 立石電機株式会社
内
⑰出 願 人 立石電機株式会社 京都府京都市右京区花園土堂町10番地
⑱代 理 人 弁理士 中村 茂信

明 細 書

1. 発明の名称

インクリメンタル形エンコーダ

2. 特許請求の範囲

(1) 固定スリットと、この固定スリットに対して運動するパルス信号用パターンと、投光素子と、この投光素子より前記固定スリット及びパルス信号用パターンを透過してきた光を受ける受光素子と、この受光素子の受光信号に基づいてパルス信号を出力するパルス信号出力手段とを備えてなるインクリメンタル形エンコーダにおいて、

前記パルス信号用パターンの高速運動時に分解能を低くし、前記パルス信号用パターンの低速運動時に分解能を高くする分解能切換手段を備えたことを特徴とするインクリメンタル形エンコーダ。

3. 発明の詳細な説明

(イ) 産業上の利用分野

この発明は、高速時の耐ノイズ性を向上させ、低速時の分解能を確保できるインクリメンタル形エンコーダに関する。

(ロ) 従来の技術

従来のインクリメンタル形エンコーダ、例えばロータリーエンコーダとしては、第7図に示すものが知られている。32は、回転軸に取付けられた回転板である。この回転板32上には、パルス信号パターンPが固設されているが、このパルス信号パターンPは、等ピッチをおいて設けられる黑白のパターンより構成される。

回転板32に隣接して、固定スリット34が設けられている。固定スリット34には、光を透過するスリットS_a、S_b、S_zが設けられている。さらに、発光ダイオード(LED)35_a、35_b、35_zとフォトダイオード36_a、36_b、36_zが回転板32及び固定スリット34を挟んで、それぞれ対向するように配設されている。

フォトダイオード36_a、36_b、36_zの受光信号は、増幅された後、図示しないコンパレータに入力され、それぞれA相、B相、Z相パルス信号にされ出力される。第8図は、これらパルス信号を示すタイムチャートである。A相とB相は、

90°位相がずれており、またZ相は回転板32の1回転につき1回だけパルスが発生し、座標原点として使用される。

第9図は、上記ロータリーエンコーダREを、モータMの制御に適用した例を示している。ロータリーエンコーダREの出力パルスは、カウンタ41でカウントされる。カウンタ41の出力は、さらに角度算出手段42及び差分計算手段44に入力される。差分計算手段44は、所定のサンプリング間隔でカウンタ41の出力の差分を計算し、その結果を速度算出手段43へ出力する。角度算出手段42よりの角度信号、及び速度算出手段43よりの速度信号は、それぞれ制御信号にフィードバックされる。制御信号は、増幅器45で増幅されて、モータMが駆動される。

(ハ) 発明が解決しようとする問題点

上記従来のインクリメンタル形エンコーダにおいては、パルス信号パターンの運動速度により、分解能が変化する。パルス信号パターンの低速運動時の分解能を上げるため、パルス信号パターン

リングすると、8.2パルスとなり、8乃至9パルスと判定され、速度信号として12.5%の誤差を含むこととなる。誤差が12.5%ならば、それほど支障はない値であるが、高速回転時の耐ノイズ性を改善するため低分解能とすると、この誤差がさらに大きくなり、極端な時には、低速で全く速度信号が得られない場合が生じる。

この発明は、上記に鑑みなされたもので、高速時の耐ノイズ性を向上させる一方、低速時の分解能も確保できるインクリメンタル形エンコーダの提供を目的としている。

(ニ) 問題点を解決するための手段及び作用

上記問題点を解決するため、この発明のインクリメンタル形エンコーダは、固定スリットと、この固定スリットに対して運動するパルス信号用パターンと、投光素子と、この投光素子より前記固定スリット及びパルス信号用パターンを透過してきた光を受ける受光素子と、この受光素子の受光信号に基づいてパルス信号を出力するパルス信号出力手段とを備えてなるものにおいて、前記パル

スのピッチを小さくすると、パルス信号の周波数が高くなる。よって、コンパレータ、カウンタに高速応答のものが必要となり、また、ノイズに対して弱くなる問題点があった。これを防ぐため、パルス信号パターンのピッチを大きくすると、逆にパルス信号パターン低速運動時の分解能が低下して速度測定誤差が生じ、極端な場合には、速度信号が全く得られない問題点があった。

第7図に示すロータリーエンコーダの場合、例えば1回転あたりの分解能を2¹²(8192)パルスとした場合3600rpmで使用した時には、パルス信号の周波数は491KHzとなる。速度信号を得るために、差分計算手段44のサンプリング間隔を2msとすると、983パルスとなり、サンプリング可能ではある。しかし、491KHzは、非常に高速であり、コンパレータやカウンタに高速応答のものが必要となり、またノイズにも弱いものになってしまう。

一方、30rpm程度の低回転で使用した時には、出力パルス1.37KHzとなり、ノイズの問題は生じない。速度信号をサンプリング間隔2msでサンプ

ス信号用パターンの高速運動時に分解能を低くし、前記パルス信号用パターンの低速運動時に分解能を高くする分解能切換手段を備えたことを特徴としている。従って、高速運動時には、分解能を低くし、耐ノイズ性を向上させると共に、パルス信号出力手段やカウンタに高速応答性が要求されない。また、低速運動時には分解能を高くし、速度の測定誤差の増大を防止する。

(ホ) 実施例

<実施例1>

この発明の第1の実施例を、第1図乃至第4図に基づいて以下に説明する。

この実施例は、ロータリーエンコーダにこの発明を適用したものであり、第2図は、回転板2の要部平面図である。回転板2は、透明な材質よりなり、その表面に複数のトラックt₁、t₂、…、t_nのパルス信号パターンが同心状に設けられる。なお、パルス信号パターンのトラック数は2以上であればよく適宜設計変更可能である。

最も外側のトラックt₁が一番分解能が高く回

転板2の中心にいくに従い、分解能が必ず減少する。なお、分解能は任意の整数分の1あるいは任意の値で減少させてもよく、適宜設計変更可能である。

回転板2は、回転軸3に取付けられる。回転板2には、固定スリット4が隣接して設けられる。固定スリット4には、回転板2の各トラック t_1 、 t_2 、…、 t_n にそれぞれ対応するスリット S_1 、 S_2 、…、 S_n が設けられている。

回転板2と固定スリット4を挟むようにして、LED(発光素子)5₁、…、5_nとホトダイオード(受光素子)6₁、…、6_nとが、それぞれ対向するようにして配置される。例えば、LED5₁よりの光は、スリット S_1 、トラック t_1 を通過して、ホトダイオード6₁に受光される。

第1図は、この実施例ロータリーエンコーダの回路構成を説明するブロック図である。

LED5₁、…、5_nは、LED駆動回路7により発光駆動される。各ホトダイオード6₁、…、6_nの受光信号は、増幅器8₁、…、8_nで増幅

る。

このように構成すれば、コンパレータ9やコントローラのカウンタに高速応答のものを使用しなくてもよく、またパルス信号の周波数を比較的低くできるため、耐ノイズ性を向上させることができる。さらに低速回転時には、高分解能が確保される。

第4図は、この第1の実施例の変形を示している。回転板12には、分解能の異なる複数の分解能を有するトラック(図示せず)が設けられている。この変形では、発光素子として、レーザダイオード15を用い、このレーザダイオード15よりの光を、シリンダカルレンズ17により、回転板12の半径方向に幅方向が一致する帯状のビーム b とし、このビーム b を固定スリット14及び回転円板トラックを透過させて、ホトダイオードアレイ16で受光するものである。

<実施例2>

この発明の第2の実施例を第5図及び第6図に基づいて以下に説明する。

されて、コンパレータ(パルス信号出力手段)9₁、…、9_nによりそれぞれパルス信号に変換される。コンパレータ9₁、…、9_nよりのパルス信号は、出力選択回路10で選択されて一つが出力される。この選択は、ハンドシェイク入力により行われる。

次に、この実施例ロータリーエンコーダの動作を説明する。回転軸3が低速回転の場合には、もっとも分解能が高いトラック t_1 に対応するパルス信号が選択されている。図示しない速度及び角度制御用システムコントローラは、このパルス信号をカウントし、速度信号を算出する。

回転軸3の回転速度が大きくなり、コントローラで算出される速度信号が大きくなれば、コントローラより信号が出力され、出力選択回路10がトラック t_1 の分解能の1/2のトラック t_2 のパルス信号が選択される。回転速度が大きくなれば、さらに分解能の低いトラック t_3 、…に対応するパルス信号が選択される。

一方、回転軸3の回転速度が小さくなれば、順次分解能の高いトラックのパルス信号が選択され

この実施例の回転板は図示しないが、1つのトラックを有するものであり、LED25よりの光は、回転板及び図示しない固定スリットを透過して、ホトダイオード26に受光される。ホトダイオード26の受光信号は、増幅器28で増幅されて、コンパレータ29でパルス信号とされる。なお、27はLED駆動回路である。

コンパレータ29の出力は、パルス減算回路30に入力される。このパルス減算回路30は、入力されたパルス信号を、1回転のパルス数の指定された整数分の1のパルスに減じて出力するものである。この整数の指定は、ハンドシェイク入力端子よりの入力信号に基づいて行われる。具体的には、フリップフロップを使用した2進カウンタで構成される。

この第2実施例のロータリーエンコーダの動作を説明する。パルス減算回路30は、低速回転時には、コンパレータ29よりのパルス信号をそのまま出力する。回転速度が上昇し、図示しないコントローラで算出される速度が大きくなれば、こ

特開平1-182721(4)

のコントローラが信号を出力し、この信号がハンドシェイク入力端子よりパルス減算回路30に入力される。パルス減算回路30は、入力パルスを例えば $\frac{1}{2}$ に減じて、これを出力する〔第6図(b)参照〕。

さらに、回転速度が大きくなれば、コントローラの信号に基づいてパルス減算回路30は、 $\frac{1}{2}$ に減じたパルス信号を出力する〔第6図(c)参照〕。回転速度が小さくなる場合は、上述の動作と逆の動作を行う。

このように構成すれば、コントローラのカウンタは高速応答性があまり高くないものでも使用でき、高速回転時にパルス減算回路30以降で混入するノイズの影響を排除できる。また、低速回転時の分解能も確保できる。

なお、上記第1及び第2の実施例では、ロータリーエンコーダについて説明しているが、この発明はリニアエンコーダについても適用可能である。(へ) 発明の効果

以上説明したように、この発明のインクリメン

タル形エンコーダは、パルス信号用パターンが高速運動時に分解能を低下させる分解能切換手段を備えたものであるから、高速運動時におけるパルス信号の周波数が高くなり、パルス信号出力手段及びカウンタが高速応答性のものでなくてもよく、また、耐ノイズ性を向上できる利点を有している。一方、低速運動時には、分解能が確保され、速度の測定誤差を防止できる利点を有している。

4. 図面の簡単な説明

第1図は、この発明の第一の実施例に係るロータリーエンコーダの回路構成を説明するブロック図、第2図は、同ロータリーエンコーダの回転板の要部平面図、第3図は、同ロータリーエンコーダの光電変換部を示す分解斜視図、第4図は、同光電変換部の変形を示す分解斜視図、第5図は、この発明の第2の実施例に係るロータリーエンコーダの回路構成を説明するブロック図、第6図は、同ロータリーエンコーダの動作を説明するタイムチャート、第7図は、従来のロータリーエンコー

ダの光電変換部を示す分解斜視図、第8図は、同従来ロータリーエンコーダの出力を説明する図、第9図は、同従来ロータリーエンコーダの使用例を説明するブロック図である。

2・12: 回転板、4・14: 固定スリット、

5₁・5₂・5₃・5₄・5₅・25: LED、

15: レーザダイオード、

6₁・6₂・6₃・6₄・6₅・26

: ホトダイオード、

16: ホトダイオードアレイ、

9₁・9₂・9₃・9₄・9₅・29

: コンパレータ、

10: 出力選択回路、30: パルス減算回路。

特許出願人

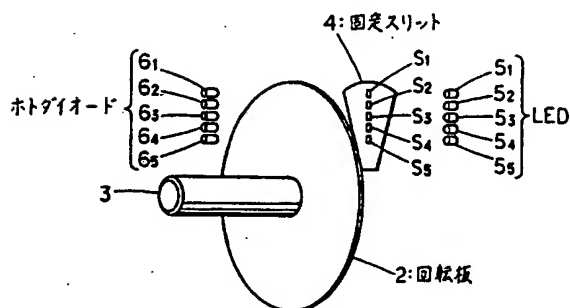
立石電機株式会社

代理人

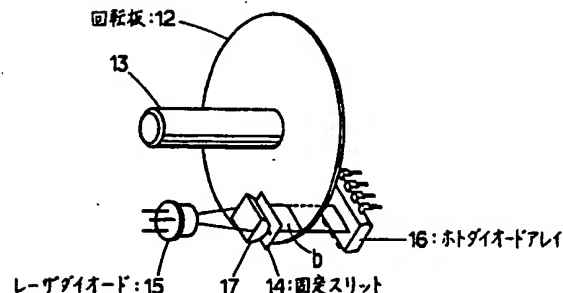
弁理士

中村茂信

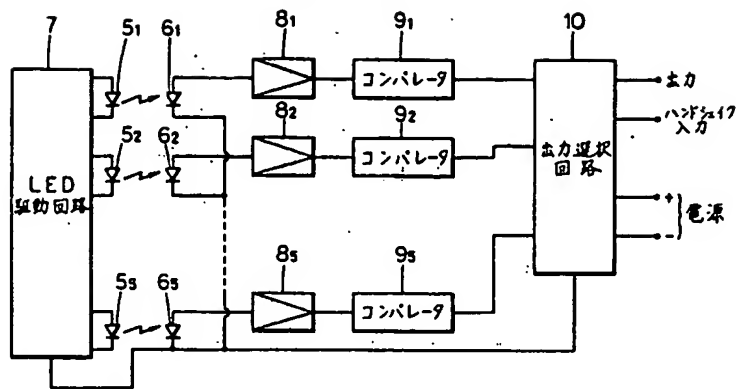
第3図



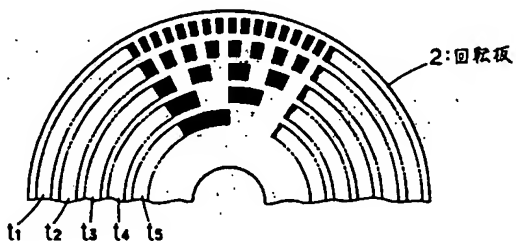
第4図



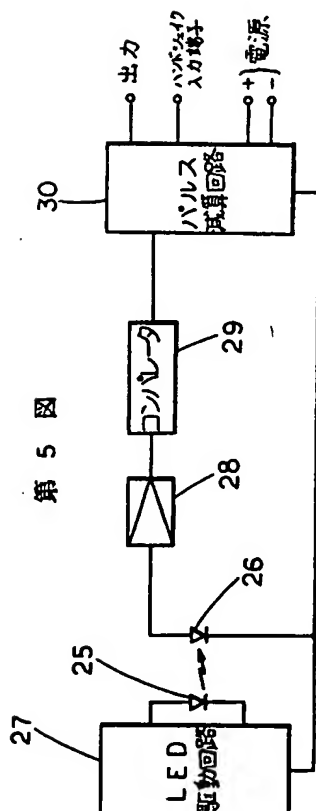
第 1 図



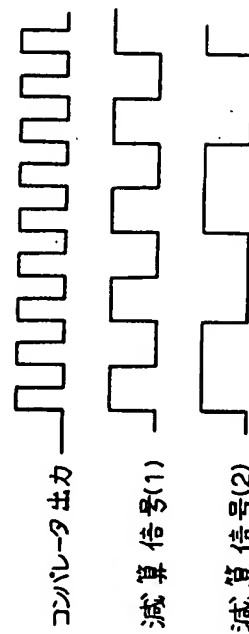
第 2 図



第 5 図

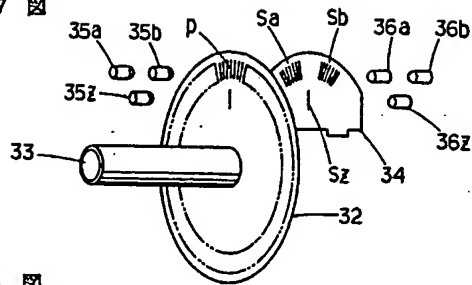


第 6 図

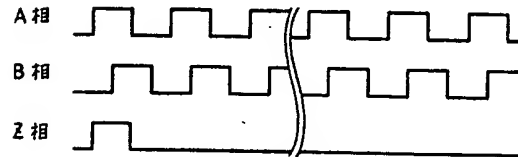


BEST AVAILABLE COPY

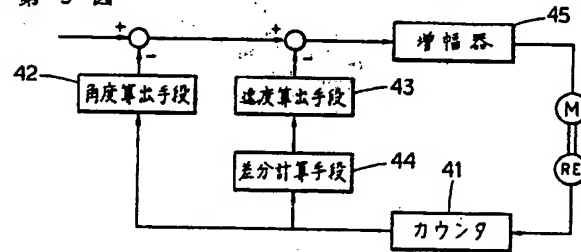
第 7 図



第 8 図



第 9 図



BEST AVAILABLE COPY